

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186552
 (43)Date of publication of application : 09.07.1999

(51)Int.CI. H01L 29/786
 H01L 21/336

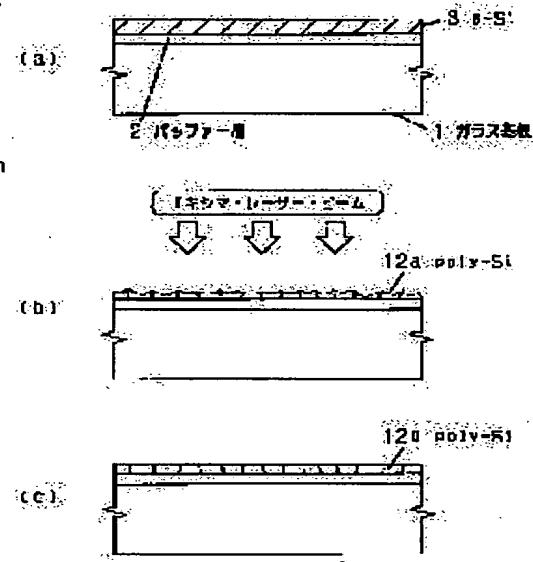
(21)Application number : 09-347452 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 17.12.1997 (72)Inventor : SHIBUYA MUNEHIRO
 TSUTSU HIROSHI
 YOSHIDA TETSUHISA
 KITAGAWA MASATOSHI

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thin-film transistor having a polycrystalline silicon layer, which is capable of having less roughened surface without causing deterioration in the crystallization of a zone in which transistor carriers move.

SOLUTION: An energy beam is irradiated on an amorphous silicon layer 3 formed on a substrate 1 to crystallize the layer 3 and to form a crystalline silicon layer 12a. Thereafter, a surface of the crystalline silicon layer 12a is etched to make its crystalline silicon surface smooth. When the etching is carried out through a chemical reaction based on thermal energy in a vapor phase using ClF₃, damages to the silicon layer or the like can be suppressed, dangling bonds on the crystalline silicon layer can be terminated with an F atom, thus enabling suppression of oxidation of the silicon surface due to oxygen atoms present in the atmosphere.



LEGAL STATUS

[Date of request for examination] 14.06.2000
 [Date of sending the examiner's decision of rejection] 15.10.2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19) 日本国特許庁 (JP) (20) 公開特許公報 (A) (11) 特許出願公開番号

特開平11-186552

(43) 公開日 平成11年(1999)7月9日

(51) Int.Cl.*	翻訳記号	P1
H 01 L 29/76		627 G
21/356		627 Z

特許請求の範囲

【請求項1】基板上に形成された非晶質シリコン層にエ

ネルギービームを照射することによってソース側
基板上に形成された非晶質シリコン層を結晶
化させて結晶質シリコン層を形成した後、前記結晶質シリコン層の表面をエッチングして前記結晶質シリコン表面の凹凸を除去することを特徴とする導體トランジスタの製造方法。

【請求項2】結晶質シリコン層の表面のエッティングを熱エネルギーを介した気相中の化学反応により行うこと
を特徴とする請求項1に記載の導體トランジスタの製造方法。

【請求項3】エッティングされた結晶質シリコン層の表面のダーニングボンドをF原子によって終端することを
特徴とする請求項1に記載の導體トランジスタの製造方法。

【請求項4】結晶質シリコン層の表面のエッティングを、
少なくともC1F₂、XeF₆、BrF₃またはBr₂F₂の
いずれかを含む気体によって行うことを特徴とする請求
項1に記載の導體トランジスタの製造方法。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、非晶質または結晶
質シリコン導體を用いた導體トランジスタの製造方法に
関する。

【0001】

【発明の技術】以下、従来の結晶質半導体を半導体層と
して用いた導體トランジスタの例として、液晶表示装置
用に開発が進められているポリシリコン導體トランジス
タ(以下、「poly-Si TFT」と略記する)について、図面を用いて説明を行う。

【0003】近年導體トランジスタを用いた液晶表示装置
の分野では、直面な石英基板ではなく、安価なガラス
基板が使用可能と比較的低温(概ね600°C以下)で作
成できる多結晶シリコン導體トランジスタ(以下、「低
温poly-Si TFT」と略記する)が注目を集めて
いる。そこで以下では、例えば、「IEEE ELECTRONIC
DEVICE LETTERS, Vol. EDL-7, No. 6 (1986), p. 2
76-378」に記載されている低温poly-Si TFTを従来例として、図4を参照しながら簡単に説明す
る。

【0004】この従来例の低温poly-Si TFTの
製造方法は、まず基板1上にハッパー層2となる60
0ÅのSi₁N₄を形成して、500~1000Åの非晶質
シリコン層3を全面に堆積後、エキシマーレーザーを照射
して基板上の非晶質シリコン層3を局所的に加熱融
して結晶化させる(図4(a))。次に結晶化によって得
られた多結晶シリコン層4をガート絶縁層5として2
00ÅのSi₁N₄と1500ÅのSi₁₀N₃を形成す
る。そして、ゲート電極6を600ÅのMoを用いて

【0005】形成し、この状態でリンイオンを注入する(図4
(b))。その後、注入されたリンイオノンの活性化のために、
エキシマーレーザーを照射することによってソース側
基板7及びドレイン側基板8を形成する(図4(c))。そ
してコントラクトホール9を形成し、最後に300Åの
Al₂O₃を用いてソース電極10及びドレイン電極11を形
成する(図4(d))ことにより低温poly-Si TFT
を作製している。

【0006】図4に示した従来の低温poly-Si TFTを作製す
る場合、以下の課題が生じる。

【0007】図4に示した例では、低温poly-Si TFTを作製後、
XeClを用いたエキシマーレーザーを照射して、局所的
に熔融し、結晶化しているわけであるが、溶融と固化
(結晶化)を行うことによってシリコンの体積および結
晶性等が変化しシリコン表面に凹凸が発生しまう。その
結果、この凹凸がTFTのキャリアの移動度やON電流
量に影響を及ぼす。そこで表面凹凸の少ない多結晶シ
リコン導體が望まれている。

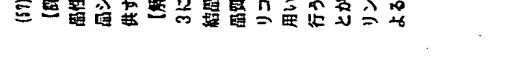
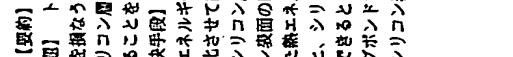
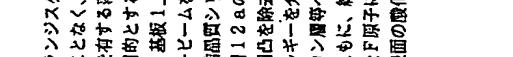
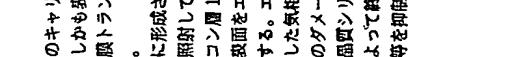
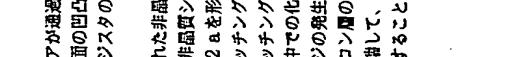
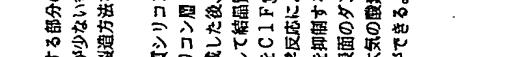
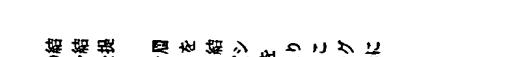
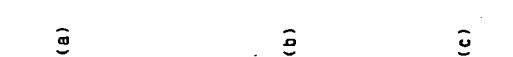
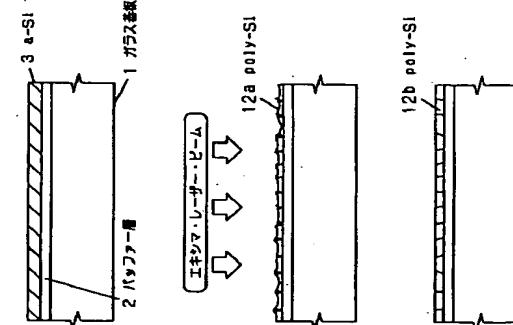
【0008】しかしながら、このような方法では、凹凸
は減少するものの TFT特性は得られない。

その原因は、結晶化シリコンの凹凸が無くなる代わり
に、シリコンの結晶性が低下することにある。非晶質シ
リコンの表面が磨かれた状態でエキシマーレーザーを照射
して結晶化を行うと、一目瞭然シリコンが結晶化さ
れる際の結晶粒の成長がガラス基板から発生すること
になる。このような結晶成長過程を経て結晶化されたシリ
コン層の結晶性は、ガラス基板側とは逆側の露出した側
が良好となる。ここで、上記したように非晶質シリコン
層の表面をS10で磨った状態でエキシマーレーザーを照射
して結晶化を行うと、一目瞭然シリコンが結晶化さ
れる際の結晶粒の成長がガラス基板ではなく、安価なガラス
基板が使用可能と比較的低温(概ね600°C以下)で作
成できる多結晶シリコン導體トランジスタ(以下、「低
温poly-Si TFT」と略記する)が注目を集めて
いる。そこで以下では、例えば、「IEEE ELECTRONIC
DEVICE LETTERS, Vol. EDL-7, No. 6 (1986), p. 2
76-378」に記載されている低温poly-Si TFTを従来例として、図4を参照しながら簡単に説明す
る。

【0009】そこで、本発明は上記の問題点に鑑み、ト
ランジスタのキャリアが通過する部分の結晶性を保つ
ことなく、しかも表面の凹凸が少ない多結晶シリコン層
を有する導體トランジスタの製造方法を提供すること
を目的とする。

【0010】【課題】

【課題を解決するための手段】上記の目的を達成するた
めに本発明の特許トランジスタの製造方法は、基板上に
形成された非晶質シリコン層を結晶化させて結晶質シリコン層



を形成した後、結晶質シリコン層の表面をエッチングして結晶化して多結晶シリコン薄膜12aを得る(図1(b))。このときの照射条件はa-Siの膜厚や膜質などの条件下によると、エネルギー密度が1.6~4.5mJ/cm²、照射回数が1~50回の範囲で行うことができる。この結晶化により多結晶シリコン表面に高さ50~0nm程度の凹凸が発生する(図1(b))。

[0012] また上記の構成において、結晶質シリコン層の表面のエッチングを介した気相中での化学反応により行うと、プラズマを用いないため、シリコン層へのダメージの発生を抑制することができる。

[0013] さらに上記の構成において、エッチングされた結晶質シリコン層の表面のダングルギングバンドをF原子によって終端すると、大気の酸素によるシリコン表面の酸化等を抑制することができる。

[0014] また上記の構成において、結晶質シリコン層の表面のエッチングを、少なくともC1F1、XeF₄、Br₂F₂またはBr₂F₂のいずれかを含む気体によって行うと、結晶性を損なうことなく、結晶質シリコン層の表面の凹凸を無くすことと、大気の酸素によるシリコン表面の酸化等を抑制することを同時に達成することができる。

[0015] [発明の実施の形態] 上記の目的を達成するために、本発明者が様々なに検討したところ、エキシマレーザーなどのエネルギーピームを用いた結晶化によって結晶質シリコン層の表面に発生した凹凸を除去する方法として、一目眺められたシリコン表面の凹凸をエッチングにより除去してやる(具体的には、熱エネルギーを介したシリコン表面に存在するダンクリングボンドを用いて、シリコン層表面を用いて、主に結晶の流れを多く含んだ突起部分を選択的にエッチングする)ことが極めて効用であることが判明した。なお、この方法によれば、シリコン表面のシリコン原子のダンクリングバンドをF原子で終端することができため、主に多結晶シリコン層膜が大気にふれたときの自然酸化膜や不純物の発生も防止できる。

[0016] (実施の形態1) そこで以下では本発明の実施の形態における多結晶シリコン薄膜トランジスタの製造方法(特に平坦な表面の多結晶シリコン薄膜の製造方法)について、具体的に図1に示すエッチング面を参照しながら順を追って説明する。

[0017] まず、ガラス基板中の不純物の拡散を防ぐためのバッファー層2としてS10膜を被覆した基板1(コニンク社製#1737ガラス)上に例えばシリコン(SiH₄)を原料ガスとしてS10膜を被覆した基板により膜厚3.0~15.0nmで、非晶質シリコン3(以下a-Siと略記する)を形成する(図1(a))。

[0018] 次に、エネルギービームとして例えばXeClエキシマレーザーを照射することにより上記の非晶XeClエキシマレーザーを用いることでもらう可能である。

[0019] その後、この基板をエッチングチャンバー(石英製)に挿入し、C1F₃とN₂の混合ガスを導入し、多結晶シリコン表面を行う。なお、この混合ガスにおいては、C1F₃がエッチングガスであり、N₂は稀釈ガスである。本実施の形態ではC1F₃を0.1リットル/分、N₂ガスを2リットル/分の流量で約100°Cに加熱されたチャンバー内に導入した。その結果、裏面の凹凸は減少しほぼ平坦な多結晶シリコン層12aが得られた(図1(c))。なお、温度は200°C以下が好ましい。

[0020] 以上のような本実施の形態によれば、非晶質シリコン層の結晶化の際の粒成長はガラス基板側からのみ発生することになるため、露出している裏面側(裏側)においては、凹凸が発生している側)の結晶性は良好であり、裏面の方法によれば、そのごく裏面の突起部分を除去しているに過ぎないため、良好な結晶性を有し、かつ凹凸の無い結晶化シリコン層を形成することができる。

[0021] また本実施の形態によれば、エッチングにより裏面の凹凸を除去しているわけであるが、その際には、結晶化されたシリコン層の表面を清浄化することができる。さらに、上記のようにFを用いてエッチングを行っており、シリコン層表面に存在するダンクリングボンドを溶解することでできるため、大気中の酸素によるシリコン表面の酸化等の反応を抑制することができる。

[0022] また本実施の形態では、上記のように熱エネルギーを介した気層中の化学反応を用いてエッチングを行っており、プラズマを用いたエッチングに由来するダメージが発生せず好ましいが、原理的にはプラズマを用いたエッチングにより結晶化されたシリコン表面の凹凸を除去するため、大気中の酸素によるシリコン表面の酸化等の反応を抑制することができる。

[0023] なお、本実施の形態では、プラズマCVD法によるa-Siを用いたが、プラズマCVD以外の減圧CVD法やスパッタ法等で形成しても良い。また、a-Si以外にも微結晶シリコンや多結晶シリコン(ガラス質)として用いてもよいし、例えばケルミニウム(Ge)との化合物等を用いても良い。

[0024] また、本実施の形態ではエネルギービームとして、XeClエキシマレーザーやArレーザー等F、KrF等の他のエキシマレーザー等を用いることももちろん可能である。

シリコンの裏面の凹凸を無くすエッチングに用いるガスとして、C1F₃を用いたが、その他の照射条件はa-Siの膜厚や膜質などの条件下によると、エネルギー密度が1.6~4.5mJ/cm²、照射回数が1~50回の範囲で行うことができる。この結晶化により多結晶シリコン表面に高さ50~0nm程度の凹凸が発生する(図1(b))。

[0025] その後、この基板をエッチングチャンバー(石英製)に挿入し、C1F₃とN₂の混合ガスを導入し、多結晶シリコン表面を行う。なお、この混合ガスにおいては、C1F₃がエッチングガスであり、N₂は稀釈ガスである。本実施の形態ではC1F₃を0.1リットル/分、N₂ガスを2リットル/分の流量で約100°Cに加熱されたチャンバー内に導入した。その結果、裏面の凹凸は減少しほぼ平坦な多結晶シリコン層12aが得られた(図1(c))。なお、温度は200°C以下が好ましい。

[0026] (実施の形態2) 図2は平坦化多結晶シリコン薄膜トランジスタの形成方法を説明するための工程断面図であり、以下順を追って説明する。

[0027] まず、ガラス基板中の不純物の拡散を防ぐためのバッファー層2としてS10膜を被覆した基板1(コニンク社製#1737ガラス)上に上記の実施の形態1と同様の方法で平坦化した多結晶シリコン薄膜を形成する(図2(b))。そして、この多結晶シリコン薄膜を通常のフォトリソ・エッチングで島状にパターンングした後、例えば、TEOS(Tetraethylorthosilicate: (CH₃O)₄Si)を原料ガスとして用いたが他のArF、KrF等の工程において他のエキシマレーザー等でも良いし、電子ビーム等を用いてもよいこととは言ふまでもない。

[0028] また、結晶化以降において、水素プラズマの形態1に用いた方法で島状にパターニアールを用いて、多結晶シリコンの粒界や粒内のトップ部位を被覆して結晶性をあげる工程を付加することが出来ない。

[0029] また、結晶化シリコン12を用いてゲート電極6を形成する。そして、水素希釈ガスフューム(PH₃)のプラズマを生成し、質量分率を行わずに加速度電圧は70kVで給ドース量は1×10¹⁵cm⁻²の条件で、イオンドーピングを行うことにより、ソース電極7とドレイン電極8を形成する(図2(c))。なお、注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアーニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400°C以上でアーニールエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行ってもよい。

[0030] その後、TEOS(Tetraethylorthosilicate: (CH₃O)₄Si)を原料ガスとして用いたが他のArFやSiO₂等の透明導電膜等でも良い。また、不純物を多量に含むpoly-Siやpoly-SiGe合金属やITO等の透明導電膜等でも良い。

[0031] また、不純物としてはリンを用いたが、アンプセプタとなるボランや硅酸等、ドナーとしてリン以外のアルミニニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に形成して、性能に優れた導電トランジスタを得ることができるのである。

[0032] また、結晶化シリコン薄膜トランジスタの形成方法としては、エキシマレーザー等を用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0033] 本実施の形態では、エキシマレーザーによる結晶化は全く同じエキシマレーザーと照射回数は行うものの、多結晶シリコン薄膜平坦化する工程を除いた從来の低温poly-Si TFTの伝導特性を示している。図3から明らかなように、シリコン表面の凹凸が無くなつたことに起因して、ON電流が増加し、サブレシヨルドスイッチも向上していることがわかる。尚、電界効果移動度は従来の低温poly-Si TFTの約1.3cm²/Vsであるのに対し、本実施の形態で作成した低温poly-Si TFTは約1.1cm²/Vsである。

[0034] 本実施の形態における導電トランジスタの多結晶シリコンの裏面の平坦化工程面図

(4)

シリコンの裏面の凹凸を無くすエッチングに用いるガスとして、C1F₃を用いたが、その他の照射条件はa-Siの膜厚や膜質などの条件下によると、エネルギー密度が1.6~4.5mJ/cm²、照射回数が1~50回の範囲で行うことができる。この結晶化により多結晶シリコン表面に高さ50~0nm程度の凹凸が発生する(図1(b))。

[0027] その後、この基板をエッチングチャンバー(石英製)に挿入し、C1F₃とN₂の混合ガスを導入し、多結晶シリコン表面を行う。なお、この混合ガスにおいては、C1F₃がエッチングガスであり、N₂は稀釈ガスである。本実施の形態ではC1F₃を0.1リットル/分、N₂ガスを2リットル/分の流量で約100°Cに加熱されたチャンバー内に導入した。その結果、裏面の凹凸は減少しほぼ平坦な多結晶シリコン層12aが得られた(図1(c))。なお、温度は200°C以下が好ましい。

[0028] (実施の形態2) 図2は平坦化多結晶シリコン薄膜トランジスタの形成方法を説明するための工程断面図であり、以下順を追って説明する。

[0029] まず、ガラス基板中の不純物の拡散を防ぐためのバッファー層2としてS10膜を被覆した基板1(コニンク社製#1737ガラス)上に上記の実施の形態1と同様の方法で平坦化した多結晶シリコン薄膜を形成する(図2(b))。そして、この多結晶シリコン薄膜を通常のフォトリソ・エッチングで島状にパターニアールを用いて、多結晶シリコンの粒界や粒内のトップ部位を被覆して結晶性をあげる工程を付加することが出来ない。

[0030] また、結晶化シリコン12を用いてゲート電極6を形成する。そして、水素希釈ガスフューム(PH₃)のプラズマを生成し、質量分率を行わずに加速度電圧は70kVで給ドース量は1×10¹⁵cm⁻²の条件で、イオンドーピングを行うことにより、ソース電極7とドレイン電極8を形成する(図2(c))。なお、注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアーニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400°C以上でアーニールエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行ってもよい。

[0031] その後、TEOS(Tetraethylorthosilicate: (CH₃O)₄Si)を原料ガスとして用いたが他のArFやSiO₂等の透明導電膜等でも良い。また、不純物としてはリンを用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0032] また、結晶化シリコン薄膜トランジスタの形成方法としては、エキシマレーザー等を用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0033] 本実施の形態における導電トランジスタの多結晶シリコンの裏面の平坦化工程面図

(5)

シリコンの裏面の凹凸を無くすエッチングに用いるガスとして、C1F₃を用いたが、その他の照射条件はa-Siの膜厚や膜質などの条件下によると、エネルギー密度が1.6~4.5mJ/cm²、照射回数が1~50回の範囲で行うことができる。この結晶化により多結晶シリコン表面に高さ50~0nm程度の凹凸が発生する(図1(b))。

[0025] その後、この基板をエッチングチャンバー(石英製)に挿入し、C1F₃とN₂の混合ガスを導入し、多結晶シリコン表面を行う。なお、この混合ガスにおいては、C1F₃がエッチングガスであり、N₂は稀釈ガスである。本実施の形態ではC1F₃を0.1リットル/分、N₂ガスを2リットル/分の流量で約100°Cに加熱されたチャンバー内に導入した。その結果、裏面の凹凸は減少しほぼ平坦な多結晶シリコン層12aが得られた(図1(c))。なお、温度は200°C以下が好ましい。

[0026] (実施の形態2) 図2は平坦化多結晶シリコン薄膜トランジスタの形成方法を説明するための工程断面図であり、以下順を追って説明する。

[0027] まず、ガラス基板中の不純物の拡散を防ぐためのバッファー層2としてS10膜を被覆した基板1(コニンク社製#1737ガラス)上に上記の実施の形態1と同様の方法で平坦化した多結晶シリコン薄膜を形成する(図2(b))。そして、この多結晶シリコン薄膜を通常のフォトリソ・エッチングで島状にパターニアールを用いて、多結晶シリコンの粒界や粒内のトップ部位を被覆して結晶性をあげる工程を付加することが出来ない。

[0028] また、結晶化シリコン12を用いてゲート電極6を形成する。そして、水素希釈ガスフューム(PH₃)のプラズマを生成し、質量分率を行わずに加速度電圧は70kVで給ドース量は1×10¹⁵cm⁻²の条件で、イオンドーピングを行うことにより、ソース電極7とドレイン電極8を形成する(図2(c))。なお、注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアーニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400°C以上でアーニールエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行ってもよい。

[0029] その後、TEOS(Tetraethylorthosilicate: (CH₃O)₄Si)を原料ガスとして用いたが他のArFやSiO₂等の透明導電膜等でも良い。また、不純物としてはリンを用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0030] また、結晶化シリコン薄膜トランジスタの形成方法としては、エキシマレーザー等を用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0031] 本実施の形態における導電トランジスタの多結晶シリコンの裏面の平坦化工程面図

(6)

シリコンの裏面の凹凸を無くすエッチングに用いるガスとして、C1F₃を用いたが、その他の照射条件はa-Siの膜厚や膜質などの条件下によると、エネルギー密度が1.6~4.5mJ/cm²、照射回数が1~50回の範囲で行うことができる。この結晶化により多結晶シリコン表面に高さ50~0nm程度の凹凸が発生する(図1(b))。

[0027] その後、この基板をエッチングチャンバー(石英製)に挿入し、C1F₃とN₂の混合ガスを導入し、多結晶シリコン表面を行う。なお、この混合ガスにおいては、C1F₃がエッチングガスであり、N₂は稀釈ガスである。本実施の形態ではC1F₃を0.1リットル/分、N₂ガスを2リットル/分の流量で約100°Cに加熱されたチャンバー内に導入した。その結果、裏面の凹凸は減少しほぼ平坦な多結晶シリコン層12aが得られた(図1(c))。なお、温度は200°C以下が好ましい。

[0028] (実施の形態2) 図2は平坦化多結晶シリコン薄膜トランジスタの形成方法を説明するための工程断面図であり、以下順を追って説明する。

[0029] まず、ガラス基板中の不純物の拡散を防ぐためのバッファー層2としてS10膜を被覆した基板1(コニンク社製#1737ガラス)上に上記の実施の形態1と同様の方法で平坦化した多結晶シリコン薄膜を形成する(図2(b))。そして、この多結晶シリコン薄膜を通常のフォトリソ・エッチングで島状にパターニアールを用いて、多結晶シリコンの粒界や粒内のトップ部位を被覆して結晶性をあげる工程を付加することが出来ない。

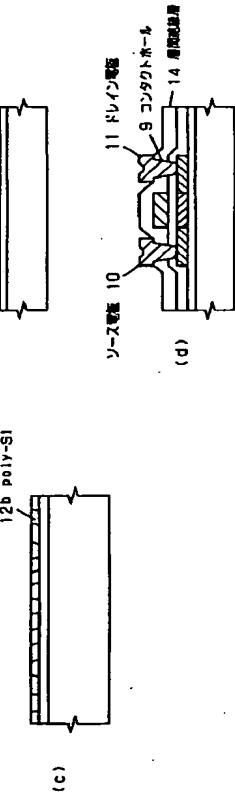
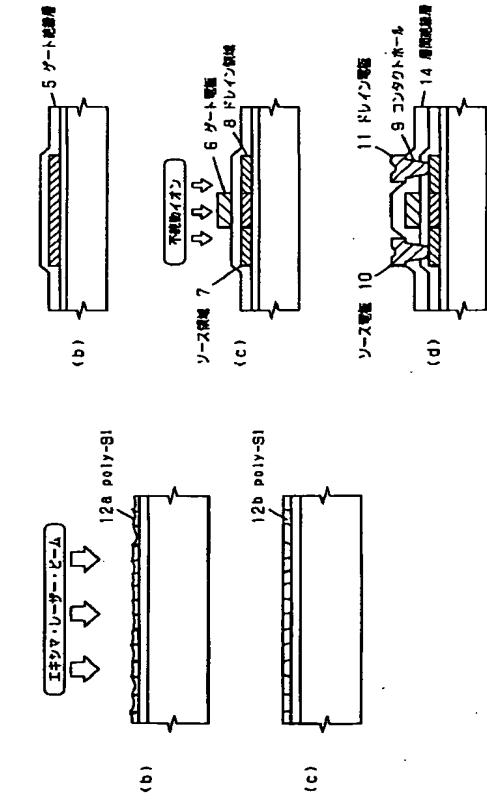
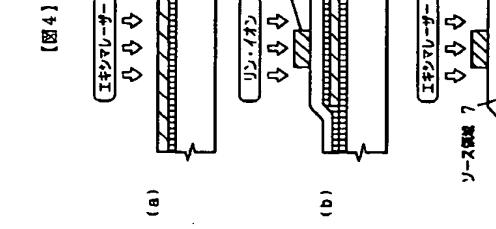
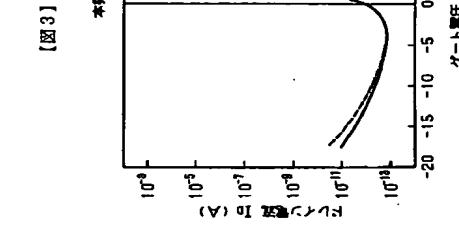
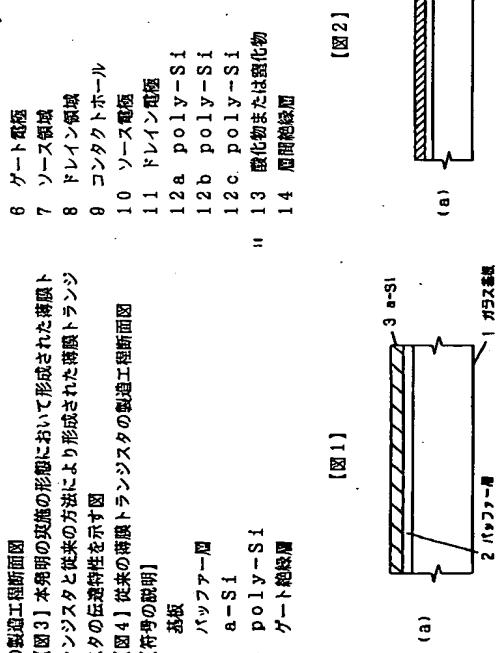
[0030] また、結晶化シリコン12を用いてゲート電極6を形成する。そして、水素希釈ガスフューム(PH₃)のプラズマを生成し、質量分率を行わずに加速度電圧は70kVで給ドース量は1×10¹⁵cm⁻²の条件で、イオンドーピングを行うことにより、ソース電極7とドレイン電極8を形成する(図2(c))。なお、注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアーニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400°C以上でアーニールエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行ってもよい。

[0031] その後、TEOS(Tetraethylorthosilicate: (CH₃O)₄Si)を原料ガスとして用いたが他のArFやSiO₂等の透明導電膜等でも良い。また、不純物としてはリンを用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0032] また、結晶化シリコン薄膜トランジスタの形成方法としては、エキシマレーザー等を用いたが他のArF、KrF等の他のエキシマレーザー等でも良いし、電子ビーム等を用いることも可能である。

[0033] 本実施の形態における導電トランジスタの多結晶シリコンの裏面の平坦化工程面図

の製造工程断面図
【図1】本発明の実施の形態において形成された薄膜トランジスタの伝達特性を示す図
【図2】従来の薄膜トランジスタの製造工程断面図
【図3】本発明の一例の TFT 特性
【図4】従来の薄膜トランジスタの TFT 特性



フロントページの焼き

(7)1 発明者 北川 雅俊
大坂府門真市大字門真1006番地 松下電器
産業株式会社内